

⑫ 公開特許公報 (A) 平3-129765

⑬ Int. Cl.

H 01 L 27/08
21/76識別記号 庁内整理番号
331 E 7735-5F
D 7638-5F

⑭ 公開 平成3年(1991)6月3日

審査請求 未請求 請求項の数 6 (全12頁)

⑮ 発明の名称 半導体装置およびその製造方法

⑯ 特 願 平2-122199

⑰ 出 願 平2(1990)5月11日

優先権主張 ⑱ 平1(1989)7月10日 ⑲ 日本(JP) ⑳ 特願 平1-178639

㉑ 発明者 榎原 利夫 愛知県刈谷市昭和町1丁目1番地 日本電装株式会社内

㉒ 発明者 山岡 正美 愛知県刈谷市昭和町1丁目1番地 日本電装株式会社内

㉓ 出願人 日本電装株式会社 愛知県刈谷市昭和町1丁目1番地

㉔ 代理人 弁理士 岡部 隆 外1名

明細書

1. 発明の名称

半導体装置およびその製造方法

2. 特許請求の範囲

(1) 単結晶半導体基板と、

前記単結晶半導体基板の主表面上に形成された絶縁膜と、

前記絶縁膜上に形成され、単結晶半導体から成る半導体領域と

を有する半導体装置であって、

前記半導体領域は、厚さが $6 \mu\text{m}$ 以下で、その表面から底面までに亘る不純物を有し、且つその表面から底面にいくにつれて不純物濃度が低くなるような濃度勾配を有する所定の導電型の領域を有するものであり、

前記半導体領域の前記所定の導電型領域内に該導電型とは逆の導電型のソース・ドレイン領域を形成した絶縁ゲート型電界効果トランジスタを有

することを特徴とする半導体装置。

(2) 前記半導体領域の表面の不純物濃度に対する前記底面の不純物濃度の比が 0.8 以下である請求項(1)記載の半導体装置。

(3) 前記単結晶半導体基板内に、該基板の他主面を電極として使用し、該基板の厚さ方向に電流経路を有する半導体素子を形成し、さらに、該基板を所定の導電型にて形成し、前記半導体領域下の該基板の主要面の導電型を該基板の導電型とは逆の導電型とする請求項(1)又は(2)記載の半導体装置。

(4) 第1導電型の第1単結晶半導体基板の主要面と、第2単結晶半導体基板の主要面とを絶縁膜を介して接合する工程と、

前記第1単結晶半導体基板の厚さを $6 \mu\text{m}$ 以下にして半導体領域を形成する工程と、

前記半導体領域に対して第2導電型の不純物を該半導体領域の表面から前記絶縁膜に接する底面まで導入し、その表面から底面にいくにつれて不純物濃度が低くなる濃度勾配を有する領域を形成する工程と、

前記第2導電型の不純物を導入した半導体領域に対して、半導体領域内に第1導電型のソース・ドレイン領域を形成し絶縁ゲート型電界効果トランジスタを形成する工程と
を備えることを特徴とする半導体装置の製造方法。

(5)前記半導体領域の前記表面の不純物濃度に対する前記底面の不純物濃度の比が0.8以下である請求項(4)記載の半導体装置の製造方法。

(6)前記半導体領域を形成する工程は、複数の半導体領域を形成する工程であり、前記絶縁ゲート型電界効果トランジスタを形成する工程は、前記第2導電型の不純物を導入した半導体領域に対しては、第1導電型チャネルの絶縁ゲート型電界効果トランジスタを形成し、前記第2導電型の不純物を導入しない半導体領域に対しては、第2導電型チャネルの絶縁ゲート型電界効果トランジスタを形成し、しかもそれらの半導体領域のゲート電極の導電型を第1導電型とする工程である請求項(4)又は(5)記載の半導体装置の製造方法。

ヤル層103を形成する。そして、このエピタキシャル層103中に、DMOSトランジスタを形成する。一方、前記複合半導体基板の食刻部を除いた第1半導体基板100部分には、いわゆる溝掘り(トレンチ)技術によって、素子分離104を行う。

ここで、「露出した食刻部の第2半導体基板101上にエピタキシャル層を形成する」というコストの高くなる構造とする理由は、ウェハ貼り合せ後に第1半導体基板100を研磨して薄くしていくのであるが、従来ではこの研磨後の第1半導体膜(SOI膜)100の膜厚バラツキ(±5.0μm程度)が大きいため、SOI膜を薄くできず(特開昭62-76645号公報によれば20μm)、食刻部段差が20μmという大きな段差となり、このような段差があっては、その後工程で素子を形成できないためであると推察する。

また、「溝掘り(トレンチ)技術によって素子分離を行う」としている理由も同じ理由である。すなわち、SOI膜厚が20μmと厚いため、島

3. 発明の詳細な説明

【産業上の利用分野】

本発明は、SOI(Semiconductor On Insulator)構造を有する半導体装置およびその製造方法に関する。

【従来の技術】

従来、DMOSトランジスタなどのパワー素子と、制御部・論理部を構成するためのCMOSトランジスタを、同一チップ上に形成する際の素子分離法として、色々な構造が提案されている。その一例を第2図に示す。これは、特開昭62-76645号公報に示されている方法を用いている。

すなわち、第1半導体基板100と第2半導体基板101を絶縁膜102を介して、いわゆるウェハ貼り合せを行う。そして、この複合基板の第1半導体基板100及び絶縁膜102、さらに、第2半導体基板101に選択的食刻をし、露出した食刻部の第2半導体基板101上にエピタキシ

分離すると段差がきつくなり、素子形成できなくなるためである。しかし、SOI膜バラツキを回避するため、エピタキシャル成長や溝掘り(トレンチ)による手法は、工程が複雑となるため工数がかかり、コスト高になってしまいます。

最近、研磨加工技術が向上し、研磨後の膜厚バラツキを±0.5μm程度までに抑えることが可能になってきたため、半導体基板をかなり薄くまで研磨加工できるようになった。ここで、フォトプロセスにおいて、現状のアライメント装置の焦点深度は6μmが限界であり、又、6μm程度の段差であれば、島分離した際にもTEOS膜、あるいはSOC膜形成技術を応用することにより平坦化可能である。そこで本発明者達は、このような技術的背景に鑑みて、SOI構造における絶縁膜上の半導体(SOI膜)の厚みを6μm以下にした半導体装置を形成するに至った。SOI膜の厚みを6μm以下にすることにより島分離したとしても段差が小さくなるので、特にエピタキシャル層を形成する必要がなく、又、島分離した場合に

は溝掘り工程も不要になる。又、溝掘りにより分離したとしてもその工程に要する時間は短くなり生産効率が向上するという効果がある。

ところが、このような装置について研究開発を進めてきた結果、次に説明するような問題点が発生することが判明した。即ち、従来ではSOI膜の厚みが十分厚いために問題にならなかったのであるが、上述のようにその厚みを6μm以下とし、そのSOI膜に対してMOSトランジスタのような絶縁ゲート型電界効果トランジスタを形成する場合には、その素子構造によっては素子の特性が劣化するという問題である。第3図を用いてその一例を説明する。尚、第3図(a)は断面図、第3図(b)は(a)図中のA-A線断面の不純物プロファイルである。第3図(c)に示す構造は、フィールド酸化膜200上に膜厚が6μm以下のN型のSOI膜201を形成し、この膜の表面よりP型不純物を導入することにより、P+型領域202を形成し、このP+型領域202内にソース・ドレイン領域203、204を形成し、さらに、このSOI膜

201上に絶縁膜を介してゲート電極205を形成した構造である。そして、SOI膜201の底部においてはP型不純物が到達しておらず、N型導電型のままになっており、SOI膜201の膜厚が薄いためにSOI膜のN+型領域206とソース領域203との間の距離が短くなり、N+型領域206-P+型領域202-ソース領域203間に、NPN型の寄生バイポーラトランジスタが形成され、MOSトランジスタのカットオフ時にリーク電流が発生してしまう可能性があるのである。

そこで本発明は、SOI構造において絶縁膜上に形成する単結晶半導体から成る半導体領域の厚さを十分に薄くすると共に、該半導体領域にその特性が良好な素子を形成した半導体装置およびその製造方法を提供することを目的としている。

(課題を解決するための手段)

上記の目的を達成するために、本発明の半導体装置は、

単結晶半導体基板と、
前記単結晶半導体基板の主表面上に形成された絶縁膜と、

前記絶縁膜上に形成され、単結晶半導体から成る半導体領域と

を有する半導体装置であって、

前記半導体領域は、厚さが6μm以下で、その表面から底面までに達する不純物を有し、且つその表面から底面にいくにつれて不純物濃度が低くなるような濃度勾配を有する所定の導電型の領域を有するものであり、

前記半導体領域の前記所定の導電型領域内に該導電型とは逆の導電型のソース・ドレイン領域を形成した絶縁ゲート型電界効果トランジスタを有することを特徴としている。

又、半導体装置の製造方法は、第1導電型の第1単結晶半導体基板の主表面と、第2単結晶半導体基板の主表面とを絶縁膜を介して接合する工程と、

前記第1単結晶半導体基板の厚さを6μm以下

にして半導体領域を形成する工程と、

前記半導体領域に対して第2導電型の不純物を該半導体領域の表面から前記絶縁膜に接する底面まで導入し、その表面から底面にいくにつれて不純物濃度が低くなる濃度勾配を有する領域を形成する工程と、

前記第2導電型の不純物を導入した半導体領域に対して、半導体領域内に第1導電型のソース・ドレイン領域を形成し絶縁ゲート型電界効果トランジスタを形成する工程と

を備えることを特徴としている。

(作用)

本発明によると、半導体領域の厚さが6μm以下であるので島分離したとしてもその段差が小さくなり、それにより大きな段差に起因する製造工程が不要となるので、製造工程を簡単化することができる。又、溝掘りにより分離したとしてもその工程に要する時間を短くすることができ生産効率向上することができる。そして、半導体領域

にはその表面から底面までに達する所定の(第2)導電型領域を形成し、この領域内に絶縁ゲート型電界効果トランジスタのソース・ドレイン領域を形成するようにしているので、半導体領域内に寄生トランジスタが形成されることはなく、リーク電流の発生を防止できる。

又、半導体領域の表面の不純物濃度に対する底面の不純物濃度の比を0.8以下にする場合には、この半導体領域に導入される不純物濃度に対して半導体領域の厚さが十分厚いものであるから、その厚さが多少ばらついたとしても、半導体領域の表面の濃度が変動することがなく、絶縁ゲート型電界効果トランジスタのしきい値電圧のバラツキを抑制できる。

又、前記単結晶半導体基板内に、該基板の他主面を電極として使用し、該基板の厚さ方向に電流経路を有する半導体素子を形成し、さらに、該基板の導電型を第1導電型とし、前記半導体領域下の該基板の主要面の導電型を第2導電型とする場合には、半導体素子の電位変化の影響を受けない

酸化して酸化膜5を形成する。

次に、第1図(b)に示すように、酸化膜2と酸化膜5とを接着させてウェハ貼り合せを行い、引き続き、第1単結晶シリコン基板1の他主面より研磨を行い第1単結晶シリコン基板1の厚さを6μm以下の例えば1.5~2.5μmにする。

次に、第1図(c)に示すように、第1単結晶シリコン基板1を選択的に食刻して本発明の半導体領域に相当する島領域6、7を形成する。

次に、第1図(d)に示すように、後述するDMOSトランジスタの形成予定領域およびP型領域4へのコンタクト領域の酸化膜2、5をドライエッチングまたはウェットエッティングにより選択的に食刻して第2単結晶シリコン基板3を露出させ、引き続き、RIE法またはウェットエッティング等によりP型領域4を完全に除去する。この際、P型領域4の深さ α_1 が1μm以上であると、除去した部分の段差がきつくなり、問題である。従って、P型領域4の深さ α_1 は1μm以下とする。このため、ウェハ貼り合せする際の温度を、P型

ようになる。

又、複数の半導体領域を形成し、それらの半導体領域に対して形成される絶縁ゲート型電界効果トランジスタのゲート電極の導電型を第1単結晶半導体基板と同じ導電型である第1導電型とする工程を採用する場合には、半導体領域に対し第2導電型の不純物を導入する際により高濃度の不純物を導入して第1導電型を第2導電型に打ち消すことができるので、設計上有利になる。

[実施例]

以下、本発明を図面に示す実施例を用いて説明する。

第1図(a)~(i)は本発明の一実施例を製造工程順に説明するための断面図である。まず、第1図(a)に示すように、N型導電型の第1単結晶シリコン基板1の主要面を酸化して酸化膜2を形成する。一方、N型導電型の第2単結晶シリコン基板3の主要面よりB(ボロン)等のP型不純物を全面に導入してP型領域4を形成し、さらにその表面を

領域4の深さ α_1 が深くならないように、110°C以下の温度で行う。

次に、第1図(b)に示すように、前工程におけるレジストを除去した後、DMOS形成領域および島領域6、7の表面にゲート酸化膜10を形成する。引き続き、DMOSトランジスタの形成予定領域およびP型チャネルトランジスタの形成予定領域をレジストにてマスクする。そうした上でB(ボロン)等のP型不純物をイオン注入して島領域6の表面部分にP+型領域9を形成する。

次に、第1図(f)に示すように、LPCVD法によりノンドープの多結晶(Poly)シリコン膜11を堆積し、この多結晶シリコン膜11に対して気相法によりP(リン)を拡散してその導電型をN型導電型にする。

引き続き、多結晶シリコン膜11を選択的に食刻することにより、DMOSトランジスタおよびCMOSトランジスタのゲート電極11aを形成する。

そして、CMOSトランジスタの形成予定領域

をレジストにてマスクした後、B(ボロン)等のP型不純物をイオン注入してDMOSトランジスタのP型ウェル領域8を形成する。

次に、第1図(f)に示すように、N₊等の還元雰囲気中にて1170℃、100分のアニールを行い不純物のドライブインを実施する。この状態において、島領域6に注入形成されたP型領域9の不純物は酸化膜2に接する島領域6の底面にまで達するように拡散し、島領域6の導電型をN型導電型からP型導電型に完全に変える。同時に、P型領域4およびP型ウェル領域8の不純物も所定の深さに拡散する。尚、この時島領域7中の不純物は予め第1単結晶シリコン基板1に含まれていたものであるので領域中に均一に分布しているが、島領域6中の不純物は拡散されたものであるので島領域6の表面から底面にいくにつれて不純物濃度が低くなる濃度勾配を有している。

次に、第1図(g)に示すように、P型チャネルトランジスタの形成予定領域及びDMOSトランジスタの所定領域をレジストにてマスクした後、P

(リン)をイオン注入することにより、DMOSトランジスタのソース領域12をP型ウェル領域8内に形成すると共に、N型チャネルトランジスタのソース・ドレイン領域13、14を形成する。そして、前工程のレジストを除去した後に、DMOSトランジスタおよびN型チャネルトランジスタの所定領域をレジストにてマスクし、B(ボロン)をイオン注入することによりP型チャネルトランジスタのソース・ドレイン領域15、16及びDMOSトランジスタのP型ウェル領域8とP型領域4のバイアス領域21、22を形成する。

次に、第1図(h)に示すように、BPSG膜による層間絶縁膜17を堆積した後、950℃、20分のアニールによりリフローを行う。その後、島領域6、7の段差部をSOG膜、又はTEOS膜23を形成して平坦化する。そして、層間絶縁膜17のコントラクト領域を選択的に開口し、Al(アルミニウム)を堆積し、該Alをバターニングして電極18を形成する。そして、全面にPSIN(プラズマ窒化膜)による表面保護膜19

を形成し、該表面保護膜19のパッド部を開口する。そして、最後にDMOSトランジスタのドレイン電極となる電極20を第2単結晶シリコン基板3の他主面に形成する。

そこで、上述の工程より製造される本実施例によると、島領域6、7の厚みを6μm以下の十分に薄い厚さにしているので、酸化膜2上に形成されるCMOSトランジスタ間、あるいは他の素子との間の段差が小さくなり、P型チャネル型トランジスタとN型チャネル型トランジスタあるいは他の素子と電気的に絶縁分離するために、特に溝掘り工程を行う必要がなくなる。又、第2単結晶シリコン基板3に形成されるDMOSトランジスタとの間の段差も十分に小さい段差であるので、特にエピタキシャル成長させてそこにDMOSトランジスタを形成する必要がなく、第2単結晶シリコン基板3上に直接形成させることができる。従って、本実施例によると、従来必要であった溝掘り、あるいはエピタキシャル成長のような工程を必要としないので、その分工程が簡単化でき、

製造コストを低減できるという効果がある。尚、6μm以下の段差であれば、TEOS膜あるいはSOG膜形成技術等により容易に平坦化可能であり、又、アライメント装置の焦点深度についても十分広く範囲であるので、現状の装置を支障なく使用できる。

又、本実施例によると、島領域6に注入形成されたP型領域9の不純物が島領域6の底面にまで拡散するように十分なドライブインを行っているので、島領域6の中に寄生トランジスタが形成されることなく、リーク電流の発生を防止できる。

尚、通常、ドライブインで拡散可能な深さは6μm程度であり、上述のように島領域6、7の厚みが6μm以下であるのでその底面までの拡散が可能である。

第4図はドライブイン条件を変えた場合の絶縁膜2上に形成されるSOI膜厚と各トランジスタのしきい値電圧V_Tとの関係を表す図である。第4図(a)はN型チャネルトランジスタの島領域6の

厚さとしきい値電圧 V_t との関係を示し、第4図(b)はP型チャネルトランジスタの島領域6の厚さとしきい値電圧 V_t との関係を示している。又、各々の図は上記実施例において第1単結晶シリコン基板1としてその導電型がN型導電型で、かつ3~5Ωcmのものを使用し、ゲート酸化膜10の膜厚が850Å、B(ボロン)のドーズ量が 4×10^{12} 、加速電圧が40keVとしてシミュレーションした結果である。第4図(b)から、各特性は膜厚が厚くなるに従って、まずしきい値電圧 V_t が急激に下がり、その後、しきい値電圧 V_t が略一定となり、さらにその後にしきい値電圧 V_t が再び下がる特性であることがわかる。そして、しきい値電圧 V_t が略一定になった後に再び下がる理由は、同じドライブイン条件であっても島領域6の膜厚が厚くなるために、不純物が島領域6の底面にまで達することができず、島領域6の底部にN型導電型の領域が残ってしまい、寄生バイポーラトランジスタが形成され、リーク電流が発生するためである。

822であり、点Eにおける不純物濃度の比は0.824であり、点Fにおける不純物濃度の比が0.92であることを考慮すると、その比の値が約0.8以下であれば、島領域6の厚さが多少ばらついたとしても島領域6の表面の濃度が変動することなく、しきい値電圧 V_t のばらつきを抑制できるようになる。尚、このことは第4図(b)中の各データを、横軸を不純物濃度の比としてプロットし直した第6図からも明確に理解できる。

上記実施例では、島領域6の膜厚を1.5~2.5μmとし、1170℃、100分の条件下でドライブインを実施しているので、第4図(b)から不純物濃度の比は0.8以下となり、しきい値電圧 V_t は安定する。また、リーク電流も発生しない。そして、例えば膜厚の設計値を2.0μmにすることにより、研磨のばらつきが±0.5μmであったとしても、常にしきい値電圧は約2.0Vとなり、特性が良い素子を形成できるのである。

又、本実施例によると、ゲート電極11aの導電型を第1単結晶シリコン基板1の導電型と同じ

そして、第4図(b)の各特性において、膜厚が約1.5μm以下の時にしきい値電圧 V_t が急激に下がる理由は、島領域6の膜厚が薄くなりすぎるとドライブイン時に不純物の濃度が膜全体に均一化され易くなり、しきい値電圧 V_t を決定する主な要因である島領域6の表面濃度が膜厚に応じて変化し易くなることから、しきい値電圧 V_t が急激に変化するようになるものと考えられる。通常は膜厚が厚い場合、島領域6の表面の不純物濃度に対して底面の不純物濃度はかなり低濃度になるが、膜厚が薄すぎる場合には不純物の濃度が均一化され易くなるために、両不純物濃度の差が小さくなる。第4図(b)において、しきい値電圧 V_t が急激に下がっているところの膜厚では島領域6の表面の不純物濃度に対する底面の不純物濃度の比が1に近く、この比の値が特性A、B、Cの各点D、E、Fにおける比の値より小さくなると、膜厚によって島領域6の表面濃度がほとんど影響を受けることがなくなり、しきい値電圧 V_t が略一定になる。ここで、点Dにおける不純物濃度の比は0.

導電型であるN型にしているので、以下に説明するような設計上の効果がある。ここで、N型導電型の多結晶シリコンから成るゲート電極の仕事関数は4.1(V)であり、P型導電型の多結晶シリコンからなるゲート電極の仕事関数は5.3(V)であり、約1.2(V)の差が存在する。そして、例えば上記実施例のようにN型導電型の第1単結晶シリコン基板1を用いる場合には、CMOSトランジスタのうちN型チャネルトランジスタの島領域6に対してP型不純物を導入してN型導電型からP型導電型に変化させる必要があるが、この時、前述したような理由からリーク電流の発生を防止するためには、島領域6の底面までP型導電型にするために導入する不純物の濃度をより高くした方が容易に深く拡散できるので望ましい。そこで、この島領域6の上に形成するゲート電極11の導電型をN型にすれば、P型にするよりも仕事関数に1.2(V)の余裕ができるので、その分濃度が高い不純物をドライブインすれば良いので、容易に不純物を深く拡散することができ、延いて

はしきい値電圧 V_T が調整し易くなり、設計上有利になる。又、同様に、P型導電型の第1単結晶シリコン基板1を用いる場合においても、P型導電型のゲート電極にすることにより、設計上有利になる。

さらに、本実施例によると、CMOSトランジスタのN型チャネルトランジスタおよびP型チャネルトランジスタの基板電位をとるために、両トランジスタの基板電位を共通とし、酸化膜2、5を介してP型領域4により容量結合を行うことにより該基板電位を固定しているので、集積化が可能となる。ここで、このようにトランジスタの基板電位を容量結合を行うことにより固定する構造の場合、「キンク現象」が起こる場合がある。

「キンク現象」が回路上、障害となる場合には、第5図の断面図に示すような構成、即ち島領域6、7の基板電位をそれぞれコンタクト21、22を介して別々に固定する構成とすれば良い。尚、P型領域4の電位は通常は接地(GND)電位に固定される。又、第2単結晶シリコン基板3内にD

MOSのような基板の他正面を電極として使用し基板の厚さ方向に電流経路を有する素子を形成する場合には、その素子の電位変化の影響を受けないようにするために、P型領域4の導電型は第2単結晶シリコン基板3の導電型と反対の導電型にするのが望ましい。

又、上記実施例では、P型領域4を形成するのにあたり、第1図(b)を用いて説明したように、第2単結晶シリコン基板3の正面の全面に形成しているが、これは仮にこのP型領域4をCMOSトランジスタの下のみに選択的に形成したとするとき、位置合せのためのアライメントキーの凹凸が問題になるからである。

次に、本発明の他の実施例を第7図(a)～(d)を参照して説明する。

はじめに、第7図(a)の如く、少なくとも一方の面を鏡面研磨し、 $5 \times 10^{13} \text{ cm}^{-2}$ の不純物濃度を有するN型の第1半導体基板301の鏡面301aの一部を化学エッティングあるいは反応性イオンエッティング(RIE)により、選択的にエッチ

ングし、深さ $0.2 \sim 2 \mu\text{m}$ の凹部302を形成する。

次に、第7図(b)の如く凹部302の境界部302aに沿って基板端部に開口する幅 $2 \mu\text{m}$ 以上で、深さ $10 \mu\text{m}$ 以上の溝303をダイシングあるいは化学エッティングあるいはRIEによって形成する。この第1半導体基板301と、少なくとも一方の面を鏡面研磨したN型の第2半導体基板305とを、例えばトリクロレン煮沸、アセトン超音波洗浄、 $\text{NH}_3 : \text{H}_2\text{O}_2 : \text{H}_2\text{O} = 1 : 1 : 4$ の混合液による有機物の除去、 $\text{HCl} : \text{H}_2\text{O} : \text{H}_2\text{O} = 1 : 1 : 4$ の混合液による金属汚染の除去および純水洗浄を順次施すことにより、充分洗浄する。その後、 $\text{HF} : \text{H}_2\text{O} = 1 : 50$ の混合液により、自然酸化膜を除去した後、例えば $\text{H}_2\text{SO}_4 : \text{H}_2\text{O} = 3 : 1$ の混合液により、ウェーハ表面に $1.5 \mu\text{m}$ 以下の酸化膜を形成し、親水性を持たせ、純水にて洗浄する。次に、乾燥空気等による乾燥を行い、基板表面に吸着する水分量を制御した後、第7図(c)の如く2枚の基板301、3

05の鏡面301a、305a同士を密着させる。これにより、2枚の301、305は表面に形成されたシラノール基および表面に吸着した水分子の水素結合により接着される。さらに、この接着した基板301および305を 10 Torr 以下の真空中にて乾燥させる。このとき、基板301および305の反りを補償するため、 $30 \text{ g cm}/\text{cm}^2$ 以上の荷重を印加してもよい。この後、基板301および305を例えば窒素、アルゴン等の不活性ガス雰囲気中で 1100°C 以上、1時間以上の熱処理を施すことにより、接着面において脱水結合反応が起きてシリコン(Si)と酸素(O)の結合(Si-O-Si)ができる、さらにOが基板に拡散してSi原子同士の結合(Si-Si)ができる、2枚の基板301および305が直接結合され、接合基板310が形成される。ただし、このとき凹部2は接合しておらず、空洞となっている。

次に、第7図(d)の如く、この一体化した基板310を例えばドライO₂、ウェットO₂、H₂O₂混合燃焼気体中等の酸化性雰囲気で 900°C

以上、1時間以上の熱処理を施し、溝303を通して基板310の内部の空洞部表面を酸化し、酸化膜311を形成する。ただし、この酸化は凹部2は接合しておらず、空洞となっている。

次に、第7図(d)の如く、この一体化した基板310を例えばドライO₂、ウェットO₂、H₂、O₂混合燃焼气体中等の酸化性雰囲気で900℃以上、1時間以上の熱処理を施し、溝303を通して基板310の内部の空洞部表面を酸化し、酸化膜311を形成する。ただし、この酸化は凹部302の表面と基板305の空洞部表面の酸化膜311が成長して、この空洞部を酸化膜によって埋没し、S1とOの結合ができる、完全に接合されるまでは最低行う。なお、凹部302の部分の酸化速度を上げるため、凹部302には接着前、つまり第7図(a)または(b)の工程において、酸化促進のため酸素をイオン注入しておいてもよい。

この後、第7図(e)の如く、基板301側表面301bに溝303が開口するまで研磨またはエッチングする。尚、この時、基板301の厚さは5

μm程度になっている。

そして、さらに第7図(f)の如く、例えばCVD法により多結晶シリコン315を堆積させ、溝303を埋める。

ここで、この溝の充填物質である多結晶シリコン315は、酸化物や窒化物等の絶縁物でもよく、充填方法もスパッタ、蒸着、SOG等でもよい。

また、溝303は、表面の開孔部が閉じられれば、必ずしも完全に充填物315で埋められてなく、空洞部が残ってもよい。

そして、例えばラップボリッシュあるいはエッチバック等により、表面の堆積物を除去し、平坦化することにより、充填物315と酸化膜311で他の領域と電気的に完全に分離された領域を持つ半導体基板310を得る。

次に、第7図(g)に示す如く縦型パワートランジスタ330とこのトランジスタ330を制御する論理回路部335が、1チップの半導体基板310に搭載されている。

尚、この縦型パワートランジスタ330は、公

知の工程により基板301の端面にソース電極331、ゲート電極332が形成され、また基板305の端面にはドレイン電極333が形成される。

また、論理回路35には、基板301の端面の領域320内にN型不純物、P型不純物をそれぞれイオン注入し、その後、1170°、10時間の条件でドライブインを行うことにより、それぞれ $2 \times 10^{14} \text{ cm}^{-3}$ 、 $7 \times 10^{14} \text{ cm}^{-3}$ の濃度の不純物を有するN型ウェル領域336、P型ウェル領域337を形成する。この際、各領域336、337は不純物が領域320の表面から底面に達すると共に、その表面から底面にいくにつれて不純物濃度が低くなる濃度勾配を有している。又、その表面の不純物濃度に対する底面の不純物濃度の比が0.8以下になるように調整されている。そして、各領域336、337内にそれぞれP+領域、N+領域を形成することによりソース、ドレイン領域を形成し、その後、絶縁膜を介してゲート電極を形成し、CMOSトランジスタを有する論理回路を形成する。

そこで、本実施例においても、5μm程度にまで薄くされた基板301内にCMOSトランジスタを形成するようとしているので、そのCMOSトランジスタと縦型パワートランジスタ330とを電気的に分離するために形成される溝303の深さは比較的浅くなるので、その分その工程に要する時間を短くすることができ、生産効率を向上することができる。又、N型ウェル領域336、P型ウェル領域337の不純物は領域320の底面にまで達しているので、寄生トランジスタが形成されることがない。又、その不純物は、表面の不純物濃度に対する底面の不純物濃度の比が0.8以下であるのでしきい値電圧のばらつきを制御することができる。

以上、本発明を上記実施例を用いて説明したが、本発明はそれらに限定されることなくその主旨を逸脱しない限り、例えば以下に示す如く種々変形可能である。

①絶縁膜上に形成される島領域に対して形成される電子としては、MOSトランジスタ以外のも

のでも良く、その素子構造によってはリーク電流が発生する他の絶縁ゲート型電界効果トランジスタでも良く、又、抵抗、ダイオード等の受動素子を併せて形成しても良い。

②第1単結晶半導体基板と第2単結晶半導体基板との間に介在することになる絶縁膜は、予め両基板の主表面に形成しておく必要はなく、少なくとも一方の基板の主表面に形成しておけば良い。

③第1図に示した上記実施例においては、N型チャネルトランジスタとP型チャネルトランジスタとの間の電気的絶縁を第1単結晶シリコン基板1を選択的に食刻することにより行っているが、溝掘り技術により行っても良く、又、島領域の膜厚が十分に薄い場合には選択酸化技術により行っても良い。

(発明の効果)

以上述べたように本発明によると、製造工程を簡単化することができる、あるいは生産効率を向上することができるという効果を挙げて、さら

にリーク電流の発生を防止できる。

又、不純物濃度の比を0.8以下にする場合には、絶縁ゲート型電界効果トランジスタのしきい値電圧のばらつきを抑制できる。

又、単結晶半導体基板内に半導体素子を形成し、さらに、半導体領域下の基板の主表面の導電型を基板の導電型と反対導電型にすることにより、半導体領域の電位がその半導体素子の電位変化の影響を受けないようになり、半導体領域に形成される絶縁ゲート型電界効果トランジスタの特性が安定化する。

又、ゲート電極の導電型を第1単結晶半導体基板と同じ導電型にする場合には、設計上有利になるという効果がある。

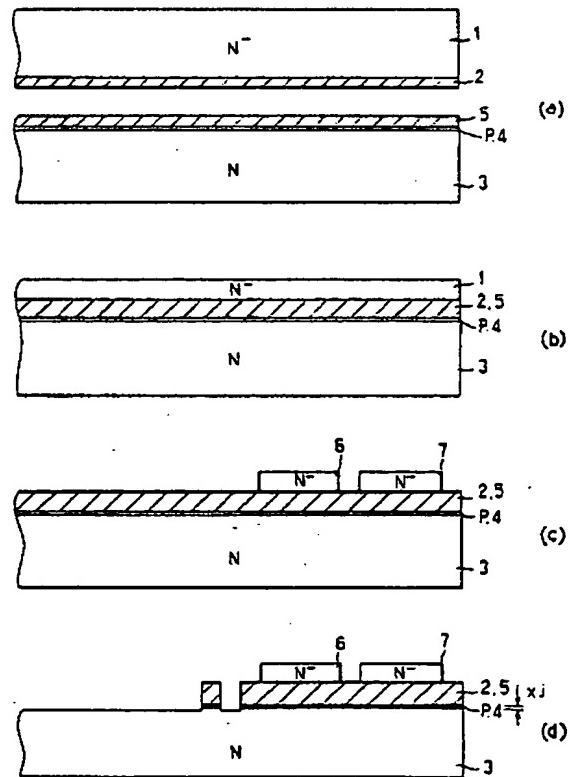
4. 図面の簡単な説明

第1図(a)～(d)は本発明の一実施例を製造工程順に説明するための断面図で、そのうち第1図(a)及び(b)はその拡大断面図、第2図は従来技術を説明するための断面図、第3図(a)はリーク電流が発生

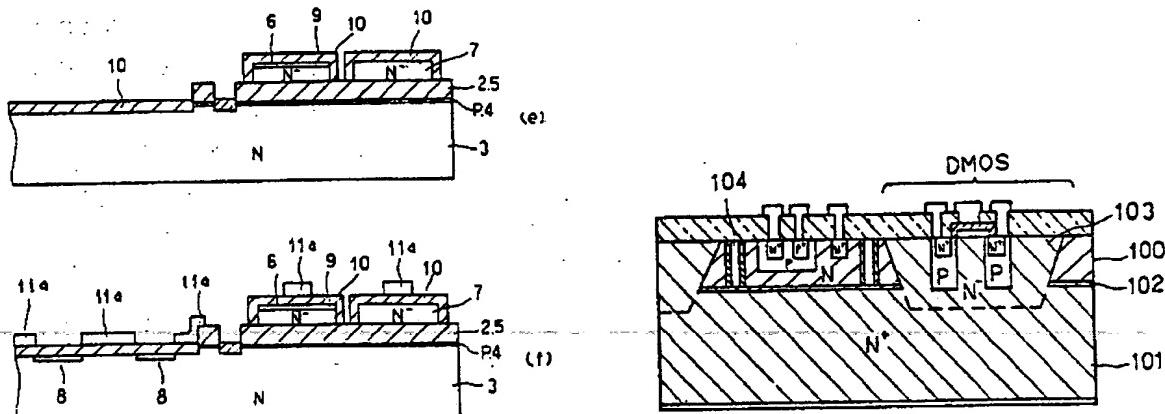
する様子を説明するための断面図、第3図(b)は第3図(a)中のA-A線断面の不純物プロファイル、第4図(a), (b)はSOI膜厚としきい値電圧V_Tとの関係を表す図、第5図は本発明の他の実施例を説明するための断面図、第6図は不純物濃度の比としきい値電圧V_Tとの関係を表す図、第7図(a)～(d)は本発明のさらに他の実施例を製造工程順に説明するための断面図である。

1…第1単結晶シリコン基板、2, 5…酸化膜、3…第2単結晶シリコン基板、6, 7…島領域、9…P⁺型領域、11…多結晶シリコン膜。

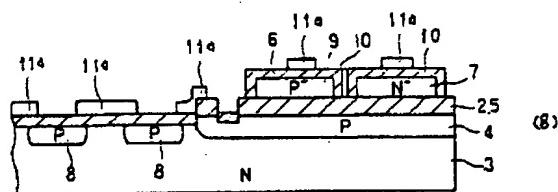
代理人弁理士　岡 部 陸
(ほか1名)



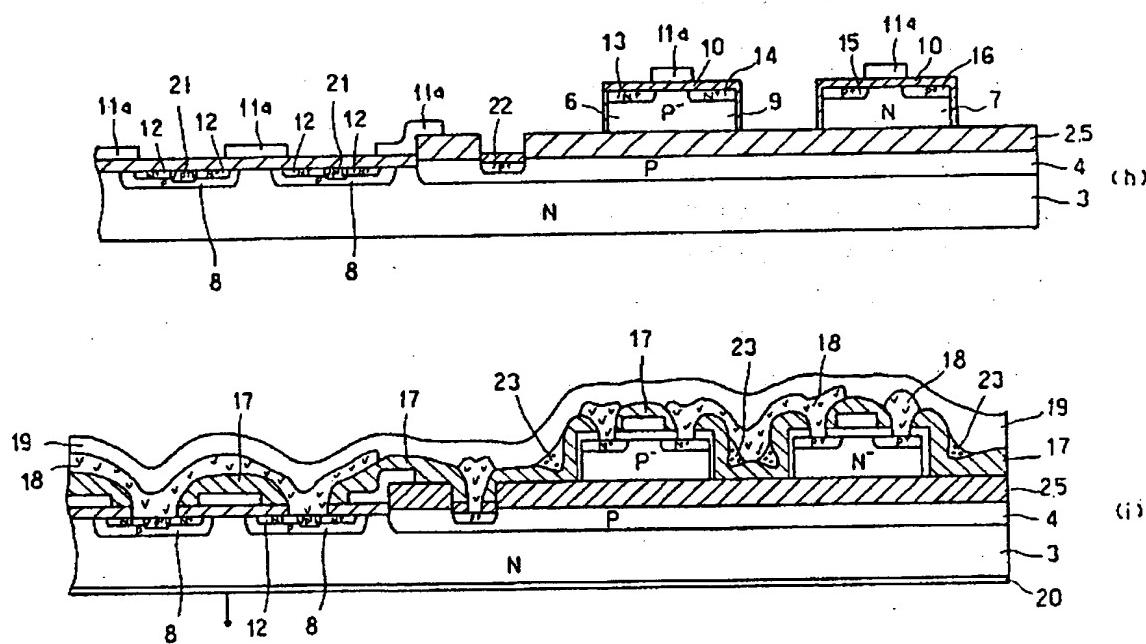
第1図



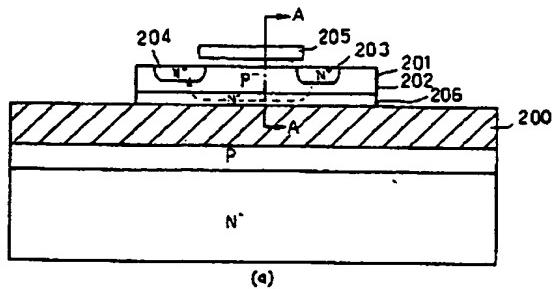
第 2 図



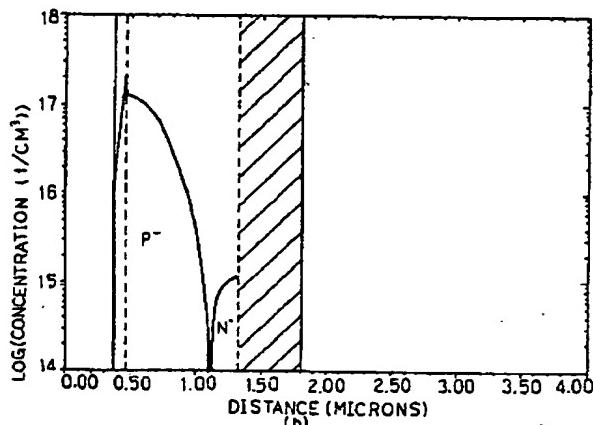
第 1 図



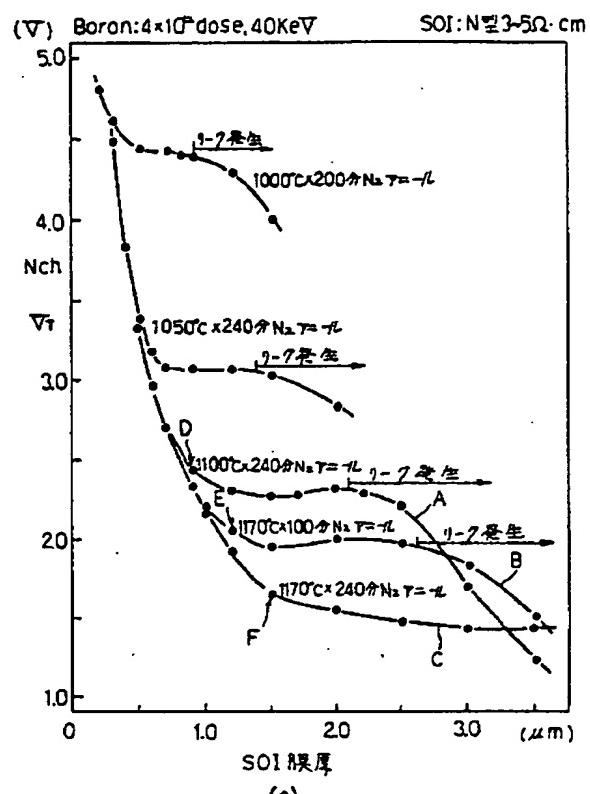
第 1 図



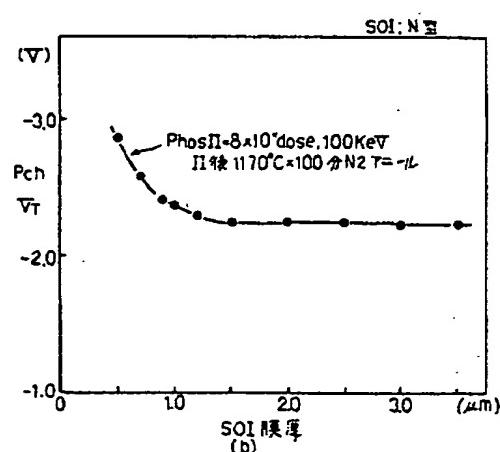
(a)



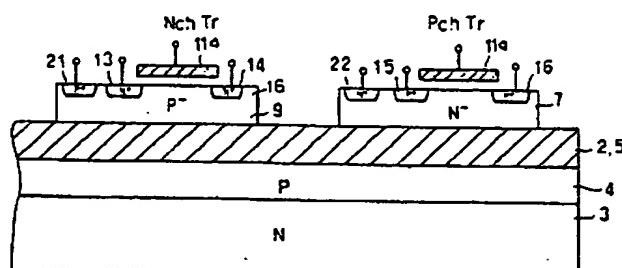
第3図



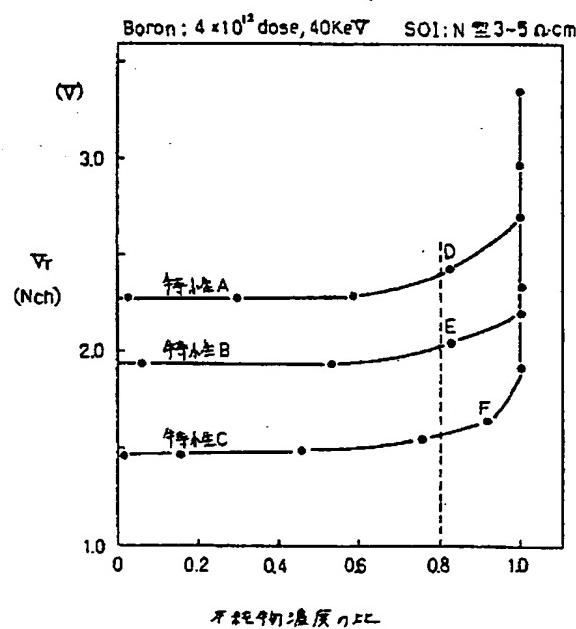
第4図



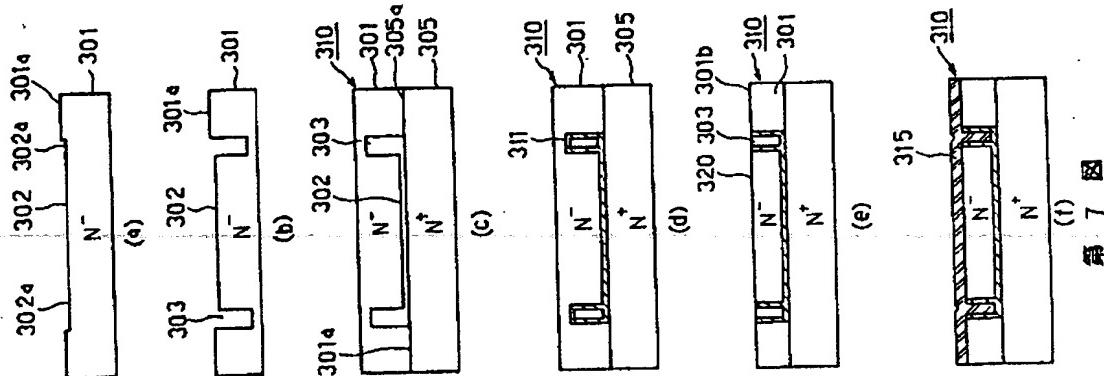
第4図



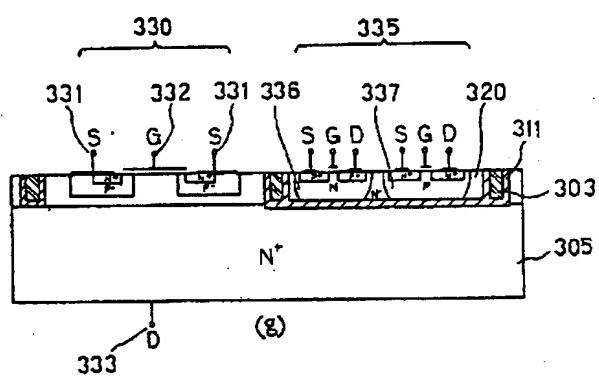
第5図



第6図



第7図



第7図